

3-4351
55

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 4 7 1 3
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 1 4 7 1 3]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 8 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 2 2 7 0

【書類名】 特許願

【整理番号】 EP-0397701

【提出日】 平成14年10月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8247

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 糟谷 良和

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】**【予納台帳番号】** 039491**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9402500**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 不揮発性記憶装置が複数の行および列にマトリクス状に配列されたメモリセルアレイを構成するメモリ領域を含む、半導体装置であって、

前記不揮発性記憶装置は、

半導体層の上方に、ゲート絶縁層を介して形成されたワードゲートと、

前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、

前記ワードゲートの両側面に沿ってそれぞれ形成された、サイドウォール状のコントロールゲートと、を含み、

前記コントロールゲートは、互いに隣り合う第 1 コントロールゲートと、第 2 コントロールゲートと、を有し、

前記第 1 コントロールゲートは、前記半導体層に対して第 1 酸化シリコン膜、窒化シリコン膜および第 2 酸化シリコン膜からなる第 1 絶縁層を介して、かつ、前記ワードゲートに対して第 1 サイド絶縁層を介して配置され、

前記第 2 コントロールゲートは、前記半導体層に対して酸化シリコン膜および窒化シリコン膜からなる第 2 絶縁層を介して配置され、

前記第 2 絶縁層の窒化シリコン膜の膜厚は、前記第 1 絶縁層の窒化シリコン膜の膜厚よりも小さい、半導体装置。

【請求項 2】 請求項 1 において、

前記第 2 絶縁層の上方には、電荷移動防止膜が設けられている、半導体装置。

【請求項 3】 請求項 2 において、

前記電荷移動防止膜は、酸化シリコン膜もしくは窒化酸化シリコン膜である、半導体装置。

【請求項 4】 不揮発性記憶装置が複数の行および列にマトリクス状に配列されたメモリセルアレイを構成するメモリ領域を含む、半導体装置の製造方法であって、以下の工程を含む、半導体装置の製造方法。

- (a) 半導体層の上方に、ゲート絶縁層を形成し、
- (b) 前記ゲート絶縁層の上方に、第1導電層を形成し、
- (c) 前記第1導電層の上方に、ストッパ層を形成し、
- (d) 前記ストッパ層と前記第1導電層とをパターンニングし、該ストッパ層と該第1導電層とからなる積層体を形成し、
- (e) 前記メモリ領域の全面に、第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層して第1絶縁層を形成し、
- (f) 前記第1絶縁層の上方に、第2導電層を形成し、該第2導電層を異方性エッチングすることにより、前記第1導電層の両側面に、前記半導体層に対して、前記第1絶縁層を介してサイドウォール状の第1コントロールゲートを形成し、
- (g) 前記第1コントロールゲートをマスクとして前記第1絶縁層の第2酸化シリコン膜と、該第1絶縁層の窒化シリコン膜の表面部と、を除去して、第2絶縁層を形成し、
- (h) 前記メモリ領域の全面に第3導電層を形成し、該第3導電層を異方性エッチングすることにより、前記第1コントロールゲートの側面に、前記半導体層に対して、少なくとも前記第2絶縁層を介して第2コントロールゲートを形成し、
- (i) ソース領域またはドレイン領域となる不純物層を前記半導体層に形成し、
- (j) 前記メモリ領域の全面に第3絶縁層を形成した後、前記ストッパ層が露出するように、該第3絶縁層を除去し、
- (k) 前記ストッパ層を除去した後、第4導電層を形成し、該第4導電層をパターンニングして、ワードラインを形成すること。

【請求項5】 請求項4において、

前記(g)は、前記第2絶縁層を形成した後、該第2絶縁層の上方に電荷移動防止膜を形成すること、を含む、半導体装置の製造方法。

【請求項6】 請求項5において、

前記電荷移動防止膜として酸化膜または酸化窒化シリコン膜を形成する、半導

体装置の製造方法。

【請求項 7】 請求項 5 または 6 において、
前記電荷移動防止膜は、CVD 法により形成される、半導体装置の製造方法。

【請求項 8】 請求項 5 または 6 において、
前記電荷移動防止膜は、熱酸化法により形成される、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ領域を含む半導体装置の製造方法に関し、特に、メモリ領域に形成される不揮発性記憶装置が 1 つのワードゲートに対して 2 つの電荷蓄積領域を有する半導体装置の製造方法に関する。

【0002】

【背景技術】

不揮発性半導体記憶装置のひとつのタイプとして、チャネル領域とコントロールゲートとの間のゲート絶縁層が酸化シリコン層と窒化シリコン層との積層体からなり、前記窒化シリコン層に電荷がトラップされる MONOS (Metal Oxide Nitride Oxide Semiconductor) 型もしくは SONOS (Silicon Oxide Nitride Oxide Silicon) 型と呼ばれるタイプがある。

【0003】

MONOS 型の不揮発性半導体記憶装置として、図 17 に示すデバイスが知られている (非特許文献 1 参照)。

【0004】

この MONOS 型のメモリセル 100 は、半導体基板 10 上にゲート絶縁層 12 を介してワードゲート 14 が形成されている。そして、ワードゲート 14 の両側には、それぞれサイドウォール状のコントロールゲート 20 とコントロールゲート 30 とが配置されている。コントロールゲート 20 の底部と半導体基板 10 との間には、絶縁層 22 が存在し、コントロールゲート 20 の側面とワードゲート 14 との間にはサイド絶縁層 24 が存在する。同様に、コントロールゲート 30 の底部と半導体基板 10 との間には、絶縁層 22 が存在し、コントロールゲート 3

0の側面とワードゲート14との間にはサイド絶縁層24が存在する。

そして、隣り合うメモリセルの、対向するコントロールゲート20とコントロールゲート30との間の半導体基板10には、ソース領域またはドレイン領域を構成する不純物層16, 18が形成されている。

【0005】

このように、ひとつのメモリセル100は、ワードゲート14の側面に2つのMONOS型メモリ素子を有する。また、これらの2つのMONOS型メモリ素子は独立に制御される。したがって、ひとつのメモリセル100は、2ビットの情報を記憶することができる。

【0006】

【非特許文献1】

Y. Hayashi, et al, 2000 Symposium on VLSI Technology
Digest of Technical Papers p. 122-p. 123

【0007】

【発明が解決しようとする課題】

本発明の目的は、2つの電荷蓄積領域を有するMONOS型の不揮発性記憶装置を含む半導体装置であって、特に、データの書き込み／消去の際の劣化に対する耐性を有する半導体装置およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

本発明の半導体装置は、不揮発性記憶装置が複数の行および列にマトリクス状に配列されたメモリセルアレイを構成するメモリ領域を含み、

前記不揮発性記憶装置は、

半導体層の上方に、ゲート絶縁層を介して形成されたワードゲートと、

前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、

前記ワードゲートの両側面に沿ってそれぞれ形成された、サイドウォール状のコントロールゲートと、を含み、

前記コントロールゲートは、互いに隣り合う第1コントロールゲートと、第2

コントロールゲートと、を有し、

前記第1コントロールゲートは、前記半導体層に対して第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜からなる第1絶縁層を介して、かつ、前記ワードゲートに対して第1サイド絶縁層を介して配置され、

前記第2コントロールゲートは、前記半導体層に対して酸化シリコン膜および窒化シリコン膜からなる第2絶縁層を介して配置され、

前記第2絶縁層の窒化シリコン膜の膜厚は、前記第1絶縁層の窒化シリコン膜の膜厚よりも小さい。

【0009】

本発明の半導体装置によれば、コントロールゲートは、異なる膜厚の絶縁層の上に形成された、第1コントロールゲートと、第2コントロールゲートとからなる。そのため、コントロールゲートの下方の基板表面の電位も二段階に変動し、コントロールゲートと基板表面との電界強度を不均一にすることができる。

【0010】

本発明は、下記の態様をとることができる。

【0011】

本発明の半導体装置において、前記第2絶縁層の上方には、電荷移動防止膜を設けることができる。この態様によれば、第1絶縁層の窒化シリコン膜もしくは第2絶縁層の窒化シリコン膜と、第2コントロールゲートとが接触することを防ぐことができる。そのため、窒化シリコン膜に蓄積された電荷が第2コントロールゲートに放出されるのを防ぐことができる。

【0012】

本発明の半導体装置の製造方法は、不揮発性記憶装置が複数の行および列にマトリクス状に配列されたメモリセルアレイを構成するメモリ領域を含む、半導体装置の製造方法であって、以下の工程を含む。

【0013】

- (a) 半導体層の上方に、ゲート絶縁層を形成し、
- (b) 前記ゲート絶縁層の上方に、第1導電層を形成し、
- (c) 前記第1導電層の上方に、ストッパ層を形成し、

(d) 前記ストッパ層と前記第 1 導電層とをパターンニングし、該ストッパ層と該第 1 導電層とからなる積層体を形成し、

(e) 前記メモリ領域の全面に、第 1 酸化シリコン膜、窒化シリコン膜および第 2 酸化シリコン膜を積層して第 1 絶縁層を形成し、

(f) 前記第 1 絶縁層の上方に、第 2 導電層を形成し、該第 2 導電層を異方性エッチングすることにより、前記第 1 導電層の両側面に、前記半導体層に対して、前記第 1 絶縁層を介してサイドウォール状の第 1 コントロールゲートを形成し、

(g) 前記第 1 コントロールゲートをマスクとして前記第 1 絶縁層の第 2 酸化シリコン膜と、該第 1 絶縁層の窒化シリコン膜の表面部と、を除去して、第 2 絶縁層を形成し、

(h) 前記メモリ領域の全面に第 3 導電層を形成し、該第 3 導電層を異方性エッチングすることにより、前記第 1 コントロールゲートの側面に、前記半導体層に対して、少なくとも前記第 2 絶縁層を介して第 2 コントロールゲートを形成し、

(i) ソース領域またはドレイン領域となる不純物層を前記半導体層に形成し、

(j) 前記メモリ領域の全面に第 3 絶縁層を形成した後、前記ストッパ層が露出するように、該第 3 絶縁層を除去し、

(k) 前記ストッパ層を除去した後、第 4 導電層を形成し、該第 4 導電層をパターンニングして、ワードラインを形成すること。

【0014】

本発明の半導体装置の製造方法によれば、コントロールゲートは、2 段階の工程に分けて形成される。具体的には、第 1 コントロールゲートを形成し、ついで、第 1 絶縁層のうち、第 2 酸化シリコン膜と、窒化シリコン膜の一部と、を除去し、その後、第 2 コントロールゲートが形成される。そのため、コントロールゲートを膜厚の異なる絶縁層の上に形成することができる。その結果、コントロールゲートと基板表面との電界強度が不均一となる半導体装置を製造することができる。

【0015】

本発明は、下記の態様をとることができる。

【0016】

本発明の半導体装置の製造方法において、前記（g）は、前記第2絶縁層を形成した後、前記第2絶縁層の上方に電荷移動防止膜を形成すること、を含むことができる。この態様によれば、第2絶縁層と、第2コントロールゲートの間に、電荷移動防止膜を形成することができる。

【0017】

【発明の実施の形態】

[第1の実施の形態]

（デバイスの構造）

図1は、本実施の形態にかかる半導体装置のレイアウトを示す平面図である。半導体装置は、不揮発性記憶装置を有するメモリ領域1000を含む。

【0018】

メモリ領域1000には、MONOS型不揮発性記憶装置（以下、「メモリセル」という）100が複数の行および列にマトリクス状に配列されている。メモリ領域1000には、第1のブロックB1と、それに隣り合う他のブロックB0、B2の一部とが示されている。ブロックB0、B2は、ブロックB1を反転させた構成となる。

【0019】

ブロックB1とそれに隣り合うブロックB0、B2との間の一部領域には、素子分離領域300が形成されている。各ブロックにおいては、X方向（行方向）に延びる複数のワード線50（WL）と、Y方向（列方向）に延びる複数のビット線60（BL）とが設けられている。一本のワード線50は、X方向に配列された複数のワードゲート14に接続されている。ビット線60は不純物層16、18によって構成されている。

【0020】

コントロールゲート20、30を構成する導電層40は、各不純物層16、18を囲むように形成されている。すなわち、コントロールゲート20、30は、

それぞれ Y 方向に延びており、1 組のコントロールゲート 20, 30 の一方の端部は、X 方向に延びる導電層によって互いに接続されている。また、1 組のコントロールゲート 20, 30 の他方の端部はともに 1 つの共通コンタクト部 200 に接続されている。したがって、導電層 40 は、メモリセルのコントロールゲートの機能と、Y 方向に配列された各コントロールゲートを接続する配線としての機能とを有する。

【0021】

単一のメモリセル 100 は、1 つのワードゲート 14 と、コントロールゲート 20, 30 と、不純物層 16, 18 とを含む。コントロールゲート 20, 30 は、ワードゲート 14 の両側に形成されている。不純物層 16, 18 は、コントロールゲート 20, 30 の外側に形成されている。そして、不純物層 16, 18 は、それぞれ隣り合うメモリセル 100 によって共有される。

【0022】

Y 方向に互いに隣り合う不純物層 16 であって、ブロック B1 に形成された不純物層 16 とブロック B2 に形成された不純物層 16 とは、半導体基板内に形成されたコンタクト用不純物層 400 によって互いに電氣的に接続されている。このコンタクト用不純物層 400 は、不純物層 16 に対し、コントロールゲートの共通コンタクト部 200 とは反対側に形成される。

【0023】

このコンタクト用不純物層 400 上には、コンタクト 350 が形成されている。不純物層 16 によって構成されたビット線 60 は、このコンタクト 350 によって、上層の配線層に電氣的に接続される。

【0024】

同様に、Y 方向に互いに隣り合う 2 つの不純物層 18 であって、ブロック B1 に形成された不純物層 18 とブロック B0 に形成された不純物層 18 とは、共通コンタクト部 200 が配置されていない側において、コンタクト用不純物層 400 によって互いに電氣的に接続されている。図 1 からわかるように、1 つのブロックにおいて、複数の共通コンタクト部 200 の平面レイアウトは、不純物層 16 と不純物層 18 とで交互に異なる側に形成され、千鳥配置となる。また、1 つ

のブロックに対し、複数のコンタクト用不純物層 400 の平面レイアウトは、不純物層 16 と不純物層 18 とで交互に異なる側に形成され、千鳥配置となる。

【0025】

次に図 2 および図 3 を参照しながら、半導体装置の断面構造について説明する。図 2 は、図 1 の A-A 線に沿った断面図である。図 3 は、図 2 の B 部を拡大して示す断面図である。

【0026】

メモリ領域 1000 において、メモリセル 100 は、ワードゲート 14 と、不純物層 16, 18 と、コントロールゲート 20, 30 とを含む。ワードゲート 14 は、半導体基板 10 の上方にゲート絶縁層 12 を介して形成されている。不純物層 16, 18 は、半導体基板 10 内に形成されている。各不純物層は、ソース領域またはドレイン領域となる。また、不純物層 16, 18 上には、シリサイド層 92 が形成されている。

【0027】

コントロールゲート 20, 30 は、ワードゲート 14 の両側に沿ってそれぞれ形成されている。コントロールゲート 20 は、互いに接する第 1 コントロールゲート 20a と、第 2 コントロールゲート 20b とからなる。第 1 コントロールゲート 20a は、半導体基板 10 の上方に第 1 絶縁層 22 を介して形成され、かつ、ワードゲート 14 の一方の側面に対してサイド絶縁層 26 を介して形成されている。第 2 コントロールゲート 20b は、半導体基板の上方に第 2 絶縁層 24 を介して形成されている。同様に、コントロールゲート 30 は、第 1 コントロールゲート 30a と、第 2 コントロールゲート 30b とからなる。

【0028】

第 1 絶縁層 22 は、ONO 膜である。具体的には、第 1 絶縁層 22 は、ボトム酸化シリコン層（第 1 酸化シリコン層）22a、窒化シリコン層 22b、トップ酸化シリコン層（第 2 酸化シリコン層）22c の積層膜である。

【0029】

第 2 絶縁層 24 は、ON 膜である。具体的には、第 2 絶縁層 24 は、ボトム酸化シリコン層（第 1 酸化シリコン層）24a および窒化シリコン層 24b の積層

膜である。窒化シリコン膜 24b の膜厚は、第 1 絶縁層 22 の窒化シリコン膜 22b 野膜厚より小さい。

【0030】

第 1 酸化シリコン層 22a は、チャネル領域と電荷蓄積領域との間に電位障壁 (potential barrier) を形成する。窒化シリコン層 22b は、キャリア (たとえば電子) をトラップする電荷蓄積領域として機能する。第 2 酸化シリコン層 22c は、コントロールゲートと電荷蓄積領域との間に電位障壁を形成する。

【0031】

サイド絶縁層 26 は、ONO 膜である。具体的には、サイド絶縁層 26 は、第 1 酸化シリコン層 26a、窒化シリコン層 26b、第 2 酸化シリコン層 26c の積層膜である。サイド絶縁層 26 は、ワードゲート 14 と、コントロールゲート 20, 30 とをそれぞれ電氣的に分離させる。また、サイド絶縁層 26 において、少なくとも第 1 酸化シリコン層 26a の上端は、ワードゲート 14 とコントロールゲート 20, 30 とのショートを防ぐために、コントロールゲート 20, 30 の上端に比べ、半導体基板 10 に対して上方に位置している。

【0032】

サイド絶縁層 26 と第 1 絶縁層 22 とは、同一の成膜工程で形成され、それぞれの層構造は等しくなる。

【0033】

コントロールゲート 20, 30 は、その表面をサイドウォール絶縁層 152 に覆われている。

【0034】

そして、隣り合うメモリセル 100 において、隣り合うコントロールゲート 20 とコントロールゲート 30 との間には、埋め込み絶縁層 70 が形成される。この埋め込み絶縁層 70 は、少なくともコントロールゲート 20, 30 が露出しないようにこれらを覆っている。さらに、埋め込み絶縁層 70 の上面は、ワードゲート 14 の上面より半導体基板 10 に対して上方に位置している。埋め込み絶縁層 70 をこのように形成することで、コントロールゲート 20, 30 と、ワードゲート 14 およびワード線 50 との電氣的分離をより確実に行うことができる。

【0035】

ワードゲート14の上には、図2に示すように、ワード線50が形成される。

【0036】

本実施の形態の半導体装置は、コントロールゲート20、30が、異なる膜厚の絶縁層の上に形成された第1コントロールゲート20a、30aと、第2コントロールゲート20b、30bとからなる。そのため、コントロールゲート20、30の下方の基板表面の電位も二段階に変動し、電界強度はワードゲート14とコントロールゲート20、30の境界、第1コントロールゲート20a、30aと第2コントロールゲート20b、30bとの境界、不純物領域の端部の三箇所ピークを有することとなる。このことは、メモリセル100へのデータの書き込み／消去の動作に関して以下のような利点がある。

【0037】

まず、データの書き込みについて説明する。データの書き込みの際は、不純物領域16から移動してきた電子は、ワードゲート14と、コントロールゲート30との境界でエネルギーを与えられ、第1コントロールゲート30aと、第2コントロールゲート30bとの境界領域で再びエネルギーを与えられてホットエレクトロンとなり、段差部近傍の第1絶縁層22に注入・トラップされることとなる。

【0038】

本実施の形態の半導体装置において、電子の注入位置は第1コントロールゲート30aと、第2コントロールゲート30bの境界部を中心に分布することになる。しかし、第2コントロールゲート30bの下方には、NO膜からなる第2絶縁層24があるため、電荷はコントロールゲート30へ抜けてしまう。結果として第1コントロールゲート30a側にトラップされた電子が残ることになる。

【0039】

次に、データを消去する動作について図18を参照しながら説明する。図18は電子のポテンシャルエネルギーを縦軸、実空間座標を横軸としたバンド図であり、不純物層18の端部、すなわちpn接合部分の状態を示している。

【0040】

まず、不純物層 18 に高い正の電圧を印加し、コントロールゲート 30 に負の電圧を印加する。その結果、n 型領域である不純物層 18 において、電子のポテンシャルエネルギーが小さくなる（図 18 において、n 型領域の電子のポテンシャルエネルギーが矢印方向にシフトする）。そして、高濃度の p n 接合では、空乏層の厚みは数 nm と非常に小さいため、p 型価電子帯にある電子は n 型伝導帯中へトンネル効果により移動することが可能となる。つまり、電子の移動に伴い、p 型領域である不純物層 18 の端部近傍には正孔が発生することになる。すなわち、不純物層の端部近傍にはホール蓄積層が形成されることを意味する。

【0041】

ここで、コントロールゲート 30 において、第 2 絶縁層 24 の上方に形成されている第 2 コントロールゲート 30 b と、第 1 絶縁層 22 の上方に形成されている第 1 コントロールゲート 30 a と、基板表面との電界に着目する。第 2 絶縁層 24 においては、ホール蓄積層が形成されているため、キャリアの伝導度は高い。従って横方向（ゲート長方向）の電界は相対的に小さい。また第 2 絶縁層 24 は、第 1 絶縁層 22 と比して膜厚が薄いために、垂直方向の電界は相対的に大きい。従って、不純物層 18 の端部近傍で発生した正孔は、第 2 絶縁層 24 の領域では第 2 絶縁層 24 に飛び込むことができない。

【0042】

一方、第 1 絶縁層 22 の領域では、横方向の電界は相対的に大きく、垂直方向の電界は相対的に小さい。したがって、不純物層 18 の端部近傍で発生した正孔は、第 2 絶縁層 24 の領域と第 1 絶縁層 22 の領域との境界部で大きなエネルギーを持つこととなり、電荷蓄積膜中に飛び込むことになる。すなわち、電荷蓄積膜の厚みが異なる領域に近いところで正孔の注入が行なわれ、消去はこの位置で行なわれることになる。

【0043】

このようにして、書き込み時に電子が注入される位置と消去時に正孔が注入される位置とを一致させることができる。その結果、書き込み／消去サイクルを繰り返しても劣化しない不揮発性記憶装置を実現することができる。

【0044】

(半導体装置の製造方法)

次に、図 4 ～ 図 1 4 を参照しながら、本実施の形態に半導体装置の製造方法について説明する。各断面図は、図 1 の A - A 線に沿った部分に対応する。図 4 ～ 図 1 4 において、図 1 ～ 図 3 で示す部分と実質的に同一の部分には同一の符号を付し、重複する記載は省略する。

【 0 0 4 5 】

(1) まず、半導体基板 1 0 の表面に、トレンチアイソレーション法によって素子分離領域 3 0 0 (図 1 参照) を形成する。次いで、チャネルドープとして P 型不純物をイオン注入する。次いで、イオン注入によって、コンタクト用 N 型不純物層 4 0 0 (図 1 参照) を半導体基板 1 0 内に形成する。

【 0 0 4 6 】

次いで、図 4 に示すように、半導体基板 1 0 の表面に、ゲート絶縁層となる絶縁層 1 2 0 を形成する。次いで、ワードゲート 1 4 になるゲート層 (第 1 導電層) 1 4 0 を絶縁層 1 2 0 上に堆積する。ゲート層 1 4 0 はドーフトポリシリコンからなる。次いで、後の CMP 工程におけるストッパ層 S 1 0 0 をゲート層 1 4 0 上に形成する。ストッパ層 S 1 0 0 は、窒化シリコン層からなる。

【 0 0 4 7 】

(2) 次いで、レジスト層 (図示しない) を形成する。次いで、このレジスト層をマスクとしてストッパ層 S 1 0 0 をパターニングする。その後、パターニングされたストッパ層 S 1 0 0 をマスクとして、ゲート層 1 4 0 をエッチングする。図 5 に示すように、ゲート層 1 4 0 がパターニングされゲート層 (ワードゲート) 1 4 0 a となる。

【 0 0 4 8 】

パターニング後の様子を平面的に示したのが図 6 である。このパターニングによって、メモリ領域 1 0 0 0 内のゲート層 1 4 0 a およびストッパ層 S 1 0 0 の積層体には、開口部 1 6 0, 1 8 0 が設けられる。開口部 1 6 0, 1 8 0 は、後のイオン注入によって不純物層 1 6, 1 8 が形成される領域にほぼ対応している。そして、後の工程で、開口部 1 6 0, 1 8 0 の側面に沿ってサイド絶縁層とコントロールゲートとが形成される。

【0049】

(3) 次いで、希フッ酸を用いて半導体基板の表面を洗浄する。これにより、露出していた絶縁層 120 が除去され、ゲート絶縁層 12 が残存する。次に、図 7 に示すように、第 1 酸化シリコン層 220 a を熱酸化法により成膜する。第 1 酸化シリコン層 220 a は、半導体基板 10 とゲート層 140 a との露出面に形成される。なお、第 1 酸化シリコン層 220 a の形成に CVD 法を用いてもよい。

【0050】

次に、第 1 酸化シリコン層 220 a に対しアニール処理を施す。このアニール処理は、NH₃ ガスを含む雰囲気で行なわれる。この前処理により、第 1 酸化シリコン層 220 a 上に窒化シリコン層 220 b を均一に堆積し易くなる。その後、窒化シリコン層 220 b を、CVD 法によって成膜することができる。

【0051】

次に、第 2 酸化シリコン層 220 c を、たとえば、CVD 法や高温酸化法 (HTO: High Temperature Oxidation) により形成する。第 2 酸化シリコン層 220 c は、ISSG (IN-situ Steam Generation) 処理を用いて成膜することもできる。ISSG 処理によって成膜された膜は緻密である。ISSG 処理によって成膜した場合、後述する ONO 膜を緻密化するためのアニール処理を省略することができる。

【0052】

なお、上記工程において、窒化シリコン層 220 b と第 2 酸化シリコン層 220 c とを同一の炉内で成膜することにより、出炉による界面の汚染を防止することができる。これにより、均質な ONO 膜を形成することができるため、安定した電気特性を有するメモリセル 100 が得られる。

【0053】

本実施の形態においては、ONO 膜 220 は、後のパターンニングによって、第 1 絶縁層 22、第 2 絶縁層 24、およびサイド絶縁層 26 となる (図 2、3 参照)。

【0054】

(4) 図8に示すように、ドーフトポリシリコン層（第2導電層）230を、第2酸化シリコン層220c上に形成する。ドーフトポリシリコン層230は、後にエッチングされて、第1コントロールゲート20a、30aを構成する導電層40（図1参照）となる。

【0055】

(5) 次いで、図9に示すように、ドーフトポリシリコン層230を全面的に異方性エッチングする。これにより、メモリ領域1000の開口部160、180（図6参照）の側面に沿って、サイドウォール状の導電層232が形成される。サイドウォール状の導電層232は、後の工程でエッチングされ第1コントロールゲート20a、30aとなる。

【0056】

(6) ついで、図10に示すように、サイドウォール状の導電層232をマスクとして、ONO膜220の一部を除去する。具体的には、第2酸化シリコン層220cと、窒化シリコン層220bの表面部と、を除去する。除去方法としては、希フッ酸によるウェットエッチングまたはドライエッチングにより行なうことができる。これにより、第1コントロールゲート20a、30aの下方にONO膜からなる第1絶縁層22が残存することとなる。

【0057】

(7) ついで、ドーフトポリシリコン層（図示せず）を全面的に形成する。その後、ドーフトポリシリコン層を全面的に異方性ドライエッチングする。これにより、図11に示すように、サイドウォール状の導電層232の高さを低くし、第1コントロールゲート20a、30aを形成すると共に、第1酸化シリコン層24aと窒化シリコン層24bとからなる第2絶縁層24の積層膜の上に、第2コントロールゲート20b、30bを形成することができる。

【0058】

このように、第1コントロールゲート20a、30aと、第2コントロールゲート20b、30bとは、同じ工程で形成されているため、高さを揃えることが容易となる。ついで、等方性のエッチングを行ない、コントロールゲート20、30の表面をなだらかな面にする。

【0059】

(8) 次に、メモリ領域1000において、酸化シリコンまたは窒化酸化シリコンなどの絶縁層（図示しない）を全面的に形成する。次いで、この絶縁層を異方性エッチングすることにより、図12に示すように、コントロールゲート20, 30を覆うようにサイドウォール絶縁層152が形成される。さらに、このエッチングによって、後の工程でシリサイド層が形成される領域に堆積された絶縁層は除去され、半導体基板10が露出する。

【0060】

次いで、図12に示すように、N型不純物をイオン注入することにより、半導体基板10内に、不純物層16, 18を形成する。

【0061】

次いで、シリサイド形成用の金属を全面的に堆積させる。シリサイド形成用の金属とは、例えば、チタンやコバルトである。その後、半導体基板の上に形成された金属をシリサイド化反応させることにより、半導体基板10の露出面にシリサイド層92を形成させる。次いで、メモリ領域1000において、酸化シリコンまたは窒化酸化シリコンなどの第3絶縁層270を全面的に形成する。第3絶縁層270は、ストッパ層S100を覆うように形成される。

【0062】

(9) 図13に示すように、第3絶縁層270をCMP法により、ストッパ層S100が露出するまで研磨し、第3絶縁層270を平坦化する。この研磨によって、対向するコントロールゲート20, 30の間に埋め込み絶縁層70が残存される。

【0063】

(10) ストッパ層S100を熱りん酸で除去する。この結果、少なくともゲート層140aの上面が露出し、図14に示すように、第1第2絶縁層270に開口部170が形成される。すなわち、この開口部170はストッパ層S100が除去されることにより形成された領域であり、ゲート層140aの上に位置する領域である。

【0064】

(11) その後、全面的にドーフトポリシリコン層（図示せず）を堆積させる。次いで、前記ドーフトポリシリコン層上にパターンニングされたレジスト層（図示せず）を形成する。次いで、レジスト層をマスクとして、前記ドーフトポリシリコン層をパターンニングすることにより、ワード線 50 が形成される。

【0065】

引き続き、レジスト層をマスクとして、ゲート層 140a（図 14 参照）のエッチングが行われる。このエッチングにより、ワード線 50 が上方に形成されないゲート層 140a が除去される。その結果、アレイ状に配列したワードゲート 14（図 1 参照）を形成することができる。ゲート層 140a の除去領域は、後に形成される P 型不純物層（素子分離用不純物層）15 の領域と対応する（図 1 参照）。

【0066】

なお、このエッチング工程では、コントロールゲート 20、30 は、埋め込み絶縁層 70 で覆われているために、エッチングされずに残る。

【0067】

次いで、P 型不純物を半導体基板 10 に全面的にドープする。これにより、Y 方向におけるワードゲート 14 の相互間の領域に P 型不純物層（素子分離用不純物層）15（図 1 参照）が形成される。この P 型不純物層 15 によって、不揮発性半導体記憶装置 100 相互の素子分離がより確実に行われる。

【0068】

以上の工程により、図 1 から図 3 に示す半導体装置を製造することができる。

【0069】

本実施の形態による半導体装置の製造方法による利点は以下の通りである。

【0070】

コントロールゲート 20、30 は、2 段階の工程に分けて形成される。具体的には、第 1 コントロールゲート 20a、30a を形成し、ついで、ONO 膜 220 のうち、第 2 酸化シリコン膜 220c と、窒化シリコン膜 220b の表面部を除去し、その後、第 2 コントロールゲート 20b、30b が形成される。そのため、コントロールゲート 20、30 を膜厚の異なる絶縁層の上に形成することが

できる。その結果、コントロールゲート 20、30 と基板表面との電界強度が不均一となる半導体装置を製造することができる。

【0071】

[第2の実施の形態]

次に、第2の実施の形態について説明する。なお、以下の説明では、第1の実施の形態と異なる点についての説明を行なう。

【0072】

(デバイスの構造)

図15、16は、第2の実施の形態にかかる半導体装置を模式的に示す断面図である。図15、16は、第1の実施の形態で示した図3に対応する箇所を示す断面図である。第2の実施の形態にかかる半導体装置では、第2絶縁層24の上方に電荷移動防止膜42が形成されている。

【0073】

図15に示す半導体装置においては、第2コントロールゲート30bは、第1コントロールゲート30aに対して電荷移動防止膜42を介して、かつ、半導体基板10に対して第2絶縁層24および電荷移動防止膜42を介して形成されている。電荷移動防止膜42は、窒化シリコン膜22b、24bに注入された電荷が第2コントロールゲート30bに放出されることを防止する機能を有する膜であればよく、たとえば、酸化シリコン膜を用いる。電荷移動防止膜42は、CVD法により形成され、この場合、第2絶縁層24と、第1コントロールゲート30aと、を覆うように形成されている。

【0074】

図16に示す半導体装置においては、上述の図15に示す半導体装置と同様に、第2コントロールゲート30bは、第1コントロールゲート30aに対して電荷移動防止膜42を介して、かつ、半導体基板10に対して第2絶縁層24および電荷移動防止膜42を介して形成されている。電荷移動防止膜42は、上述の機能を有する膜であればよく、たとえば、窒化酸化シリコン膜を用いる。電荷移動防止膜42は、熱酸化法により形成され、この場合、第2絶縁層24の窒化シリコン膜24bと、第1コントロールゲート30aと、を覆うように電荷移動防

止膜 42 が形成される。

【0075】

第 2 の実施の形態の半導体装置は、第 2 絶縁層 24 の上に酸化膜もしくは窒化酸化シリコン膜からなる電荷移動防止膜 42 が形成されている。そのため、第 1 絶縁層 22 の窒化シリコン膜 22b の端面および第 2 絶縁層 24 の窒化シリコン膜 24b と、第 2 コントロールゲート 20b、30b とが接触することを防ぐことができる。その結果、窒化シリコン膜 22b、24b に取り込まれた電子が第 2 コントロールゲート 20b、30b へ放出されることを防ぐことができ、電荷保持特性が向上した半導体装置を提供することができる。

【0076】

(半導体装置の製造方法)

次に、第 2 の実施の形態にかかる半導体装置の製造方法について説明する。

【0077】

まず、工程 (1) ～ (5) は、第 1 の実施の形態と同様に行なう。

【0078】

(6) ついで、図 10 に示すように、サイドウォール状の導電層 232 をマスクとして、ONO 膜 220 のうち第 2 酸化シリコン層 220c と、窒化シリコン膜 220b の表面部を除去する。これにより、第 1 コントロールゲート 20a、30a の下方に ONO 膜からなる第 1 絶縁層 22 が残存することとなる。このエッチングは、具体的には、希フッ酸によるウェットエッチングやドライエッチングなどにより行なうことができる。ついで、全面に電荷移動防止膜 (図示せず) を形成する。電荷移動防止膜としては、酸化シリコン膜、窒化酸化シリコン膜を形成することができる。

【0079】

電荷移動防止膜を CVD 法により形成する場合は、窒化シリコン層 24b と、第 1 絶縁層 22 の端面と、第 1 コントロールゲート 30a と、第 1 コントロールゲート 30a と接していないサイド絶縁層 26 とを覆うように形成される。また、電荷移動防止膜を熱酸化法により形成する場合は、第 2 絶縁層 24 の窒化シリコン膜 24b と、第 1 絶縁層 22 の窒化シリコン膜 22b の端面と、第 1 コント

ロールゲート 30 a と、第 1 コントロールゲート 30 a と接していないサイド絶縁層 26 とに、酸化窒化シリコン膜が形成される。

【0080】

(7) ついで、ドーフトポリシリコン層（図示せず）を全面的に形成する。その後、ドーフトポリシリコン層を全面的に異方性ドライエッチングする。これにより、図 11 に示すように、サイドウォール状の導電層 232 の高さを低くし、第 1 コントロールゲート 20 a、30 a を形成すると共に、第 2 絶縁層 24 と、電荷移動防止膜 42 との積層膜の上に第 2 コントロールゲート 20 b、30 b を形成することができる。ついで、等方性のエッチングを行い、コントロールゲート 20、30 の表面をなだらかな面にする。このエッチングにより、露出している電荷移動防止膜は除去されることとなる。

【0081】

ついで、工程（8）～（11）を、第 1 の実施の形態と同様に行ない、図 15 および図 16 に示す半導体装置を形成することができる。

【0082】

本実施の形態の製造方法によれば、サイドウォール状の導電層 232（第 1 コントロールゲート 20 a、30 a）を形成した後に、第 2 絶縁層 24 の上に電荷移動防止膜 42 を形成する工程が設けられている。そのため、少なくとも第 2 絶縁層 24 と第 1 絶縁層 22 の端面とが、電荷移動防止膜 42 に覆われることとなる。その結果、窒化シリコン膜 22 b、24 b に注入された電子が第 2 コントロールゲート 20 b、30 b へ放出されることが防止され、電荷保持特性が向上した半導体装置を製造することができる。

【0083】

本発明は、上述の実施の形態に限定されず、本発明の要旨の範囲内で種々の態様をとりうる。たとえば、半導体層としてバルク状の半導体基板を用いたが、SOI 基板の半導体層を用いてもよい。また、上述した実施の形態では、これらを「半導体層」と称することとする。

【図面の簡単な説明】

【図 1】 半導体装置のメモリ領域のレイアウトを模式的に示す平面図。

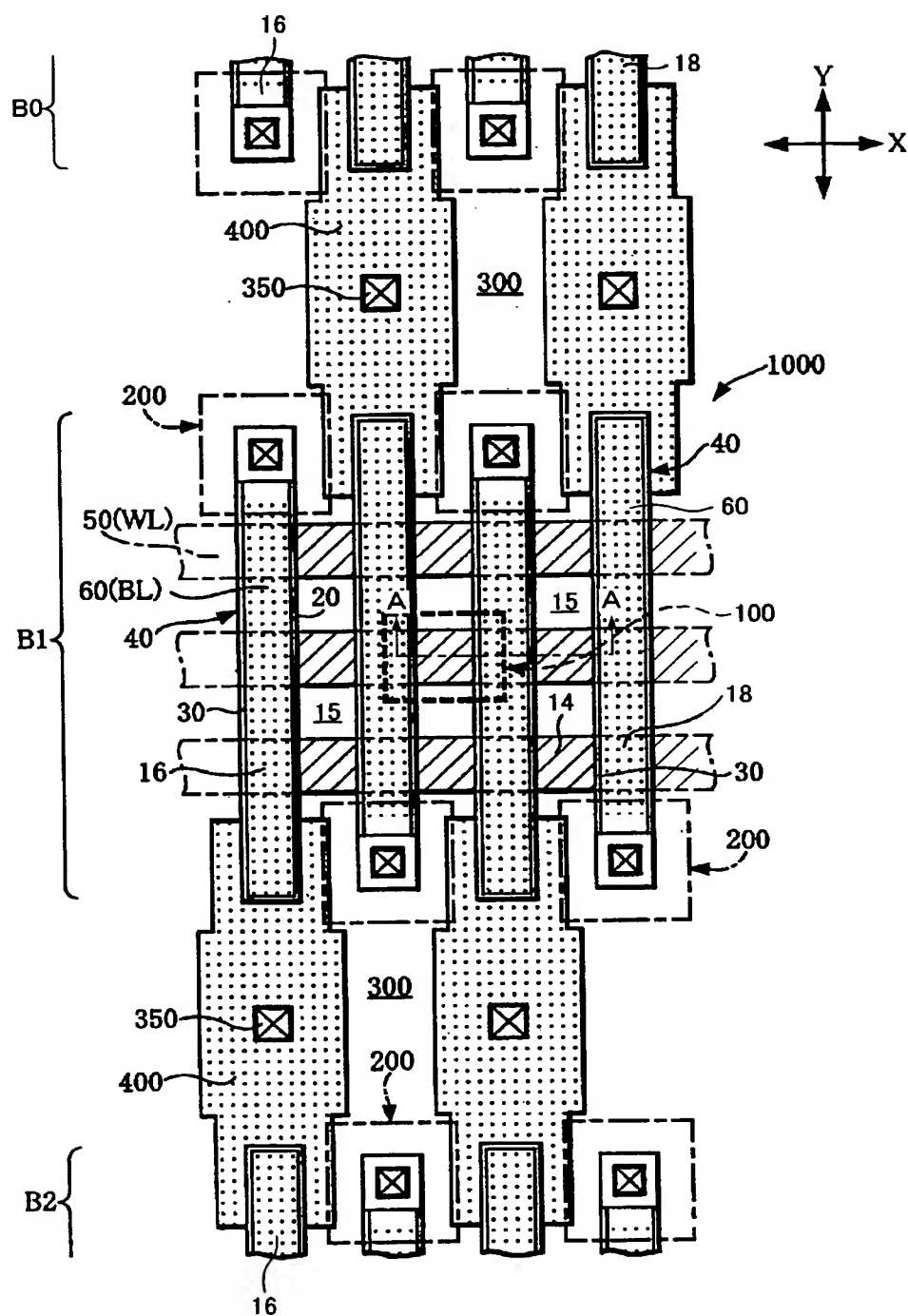
- 【図 2】 図 2 の A-A 線に沿った部分を模式的に示す断面図。
- 【図 3】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 4】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 5】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 6】 図 5 に示す半導体装置の製造方法の一工程を示す平面図である。
- 【図 7】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 8】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 9】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 10】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 11】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 12】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 13】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 14】 図 1 ～ 3 に示す半導体装置の製造方法の一工程を示す断面図。
- 【図 15】 第 2 の実施の形態にかかる半導体装置を模式的に示す断面図。
- 【図 16】 第 2 の実施の形態にかかる半導体装置を模式的に示す断面図。
- 【図 17】 公知の MONOS 型メモリセルを示す断面図。
- 【図 18】 本発明の半導体装置の消去動作を説明する図。

【符号の説明】

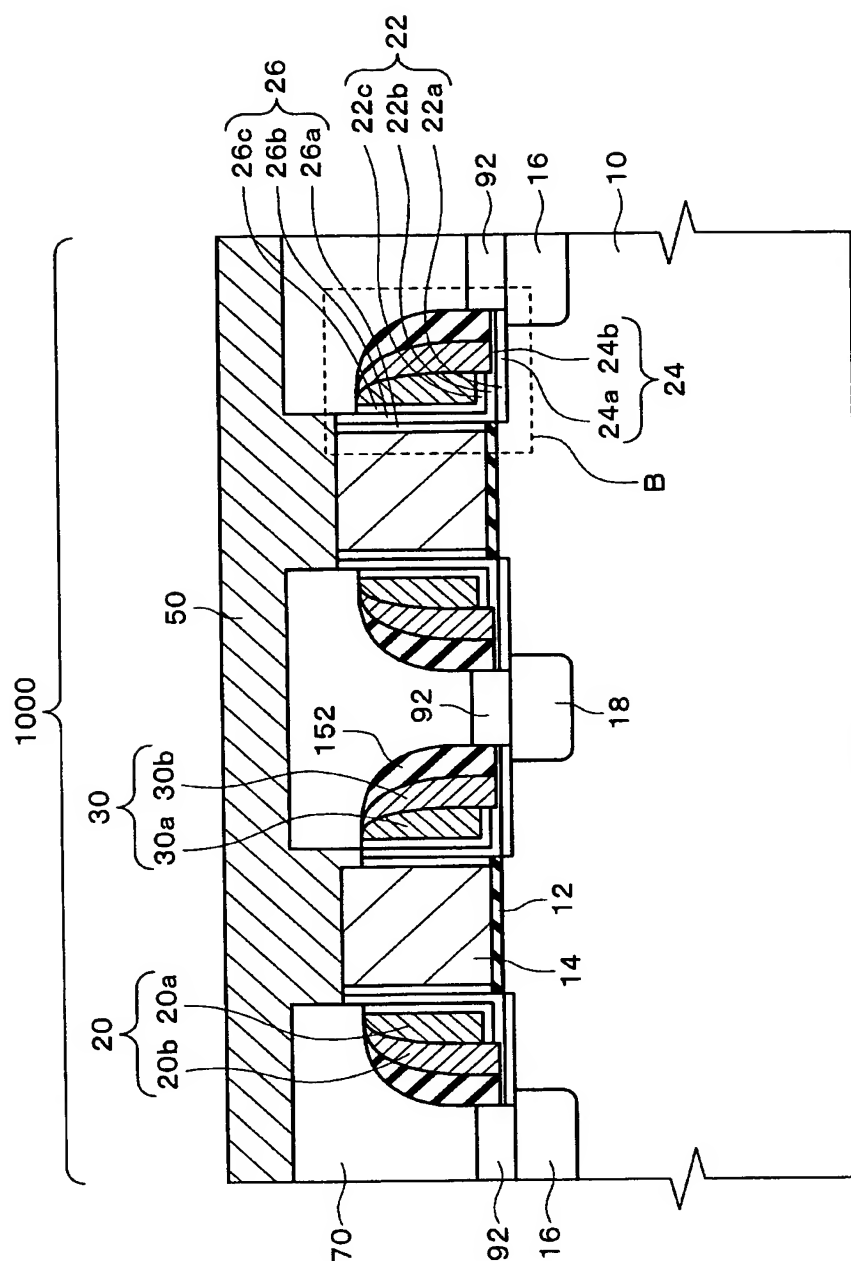
10 半導体基板、 12 第 1 ゲート絶縁層、 14 ワードゲート、 16
、 18 不純物層、 20, 30 コントロールゲート、 20a, 30a 第
1 コントロールゲート、 20b, 30b 第 2 コントロールゲート、 22
第 1 絶縁層、 24 第 2 絶縁層、 26 サイド絶縁層、 42 電荷移動防
止膜、 50 ワード線、 60 ビット線、 70 埋込み絶縁層、 72
層間絶縁層、 80 配線層、 100 不揮発性記憶装置（メモリセル）、
120 絶縁層、 140 ゲート層、 142 ゲート電極、 160, 18
0 開口部、 200 共通コンタクト部、 220 ONO 膜、 232 サ
イドウォール状の絶縁層、 300 素子分離領域、 400 コンタクト用不
純物層、 S100 ストップ層、 1000 メモリ領域

【書類名】 図面

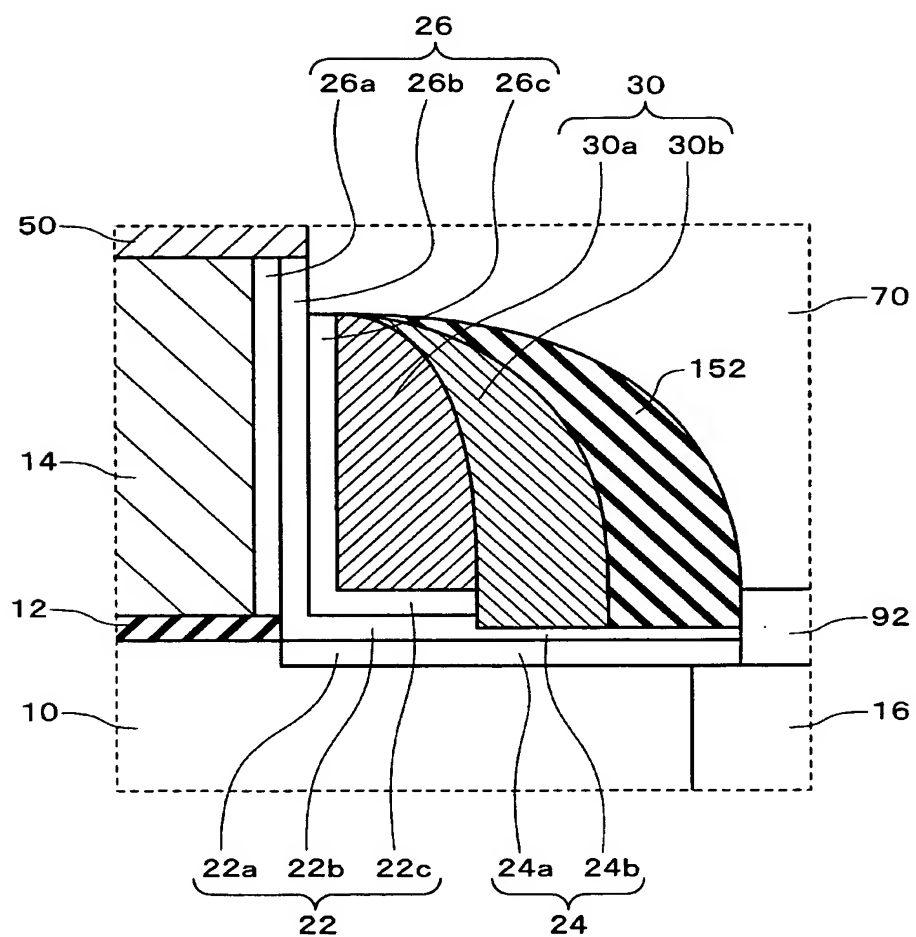
【図 1】



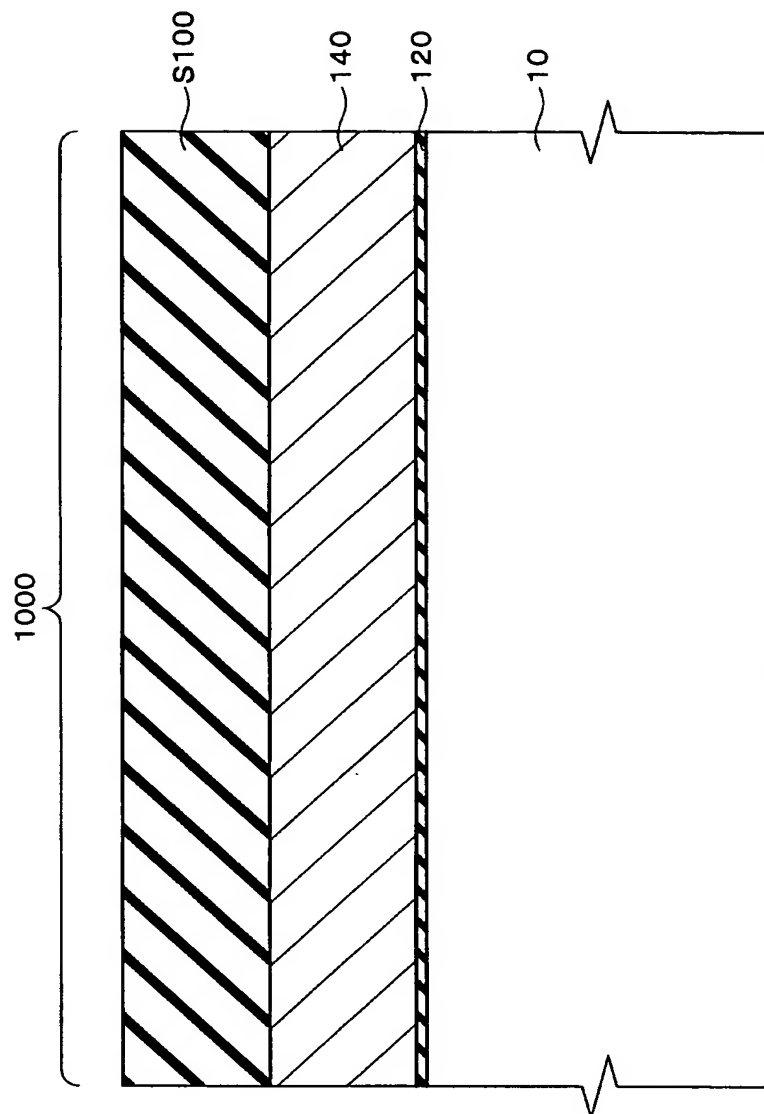
【図 2】



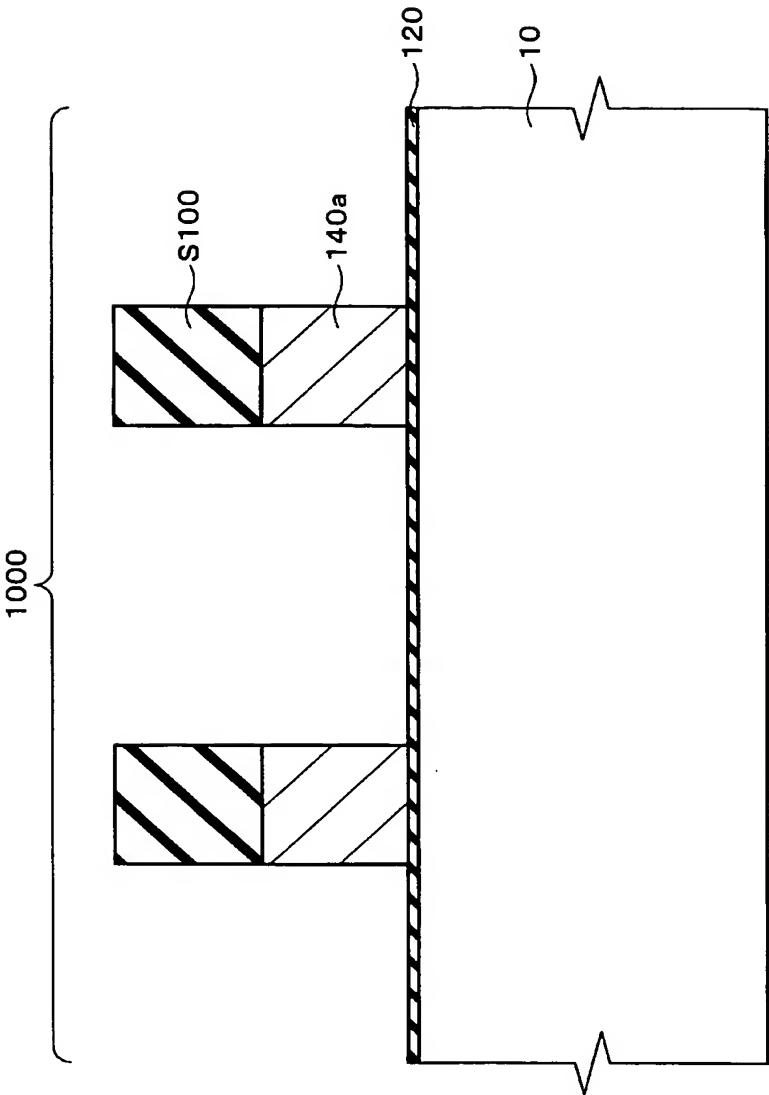
【図 3】



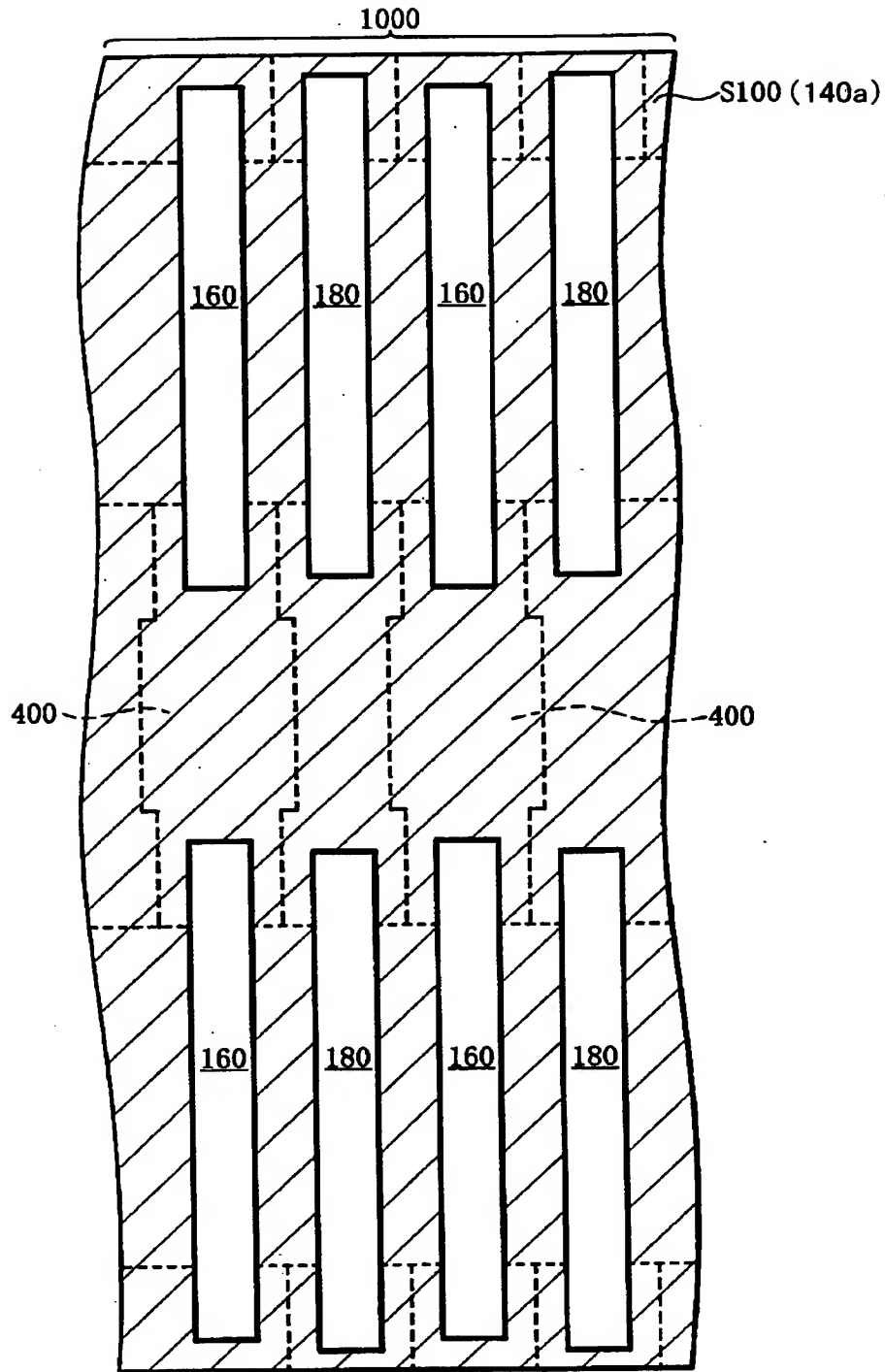
【図 4】



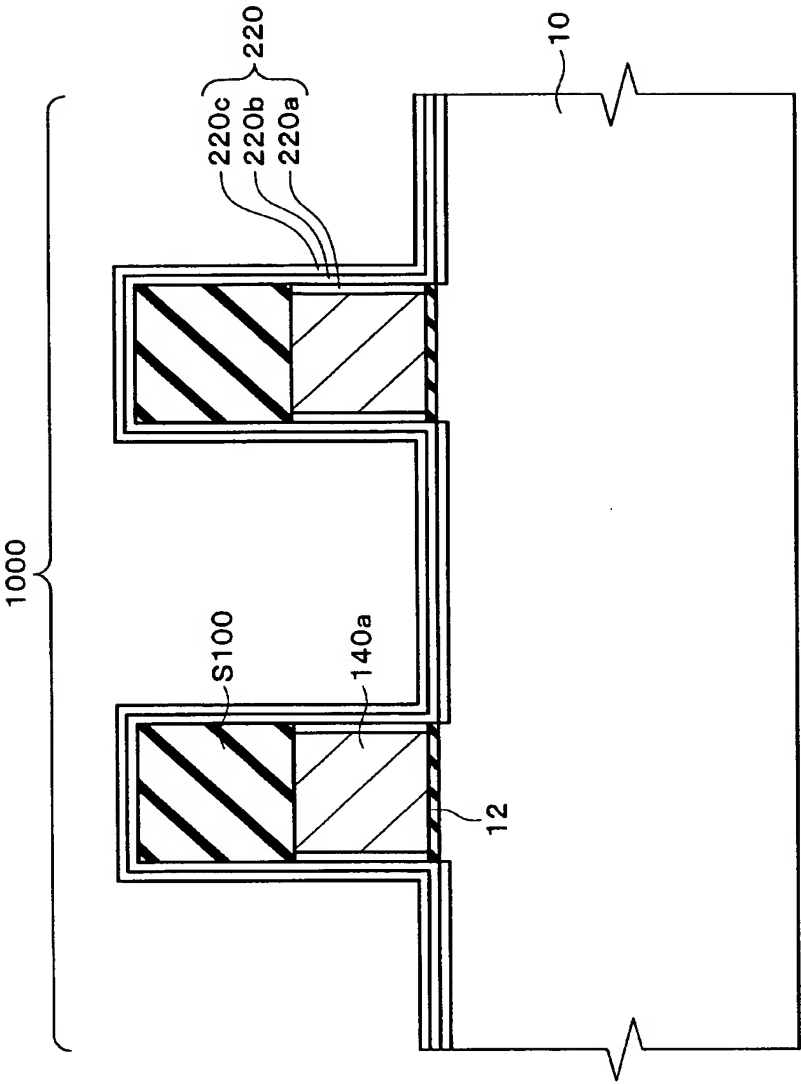
【図 5】



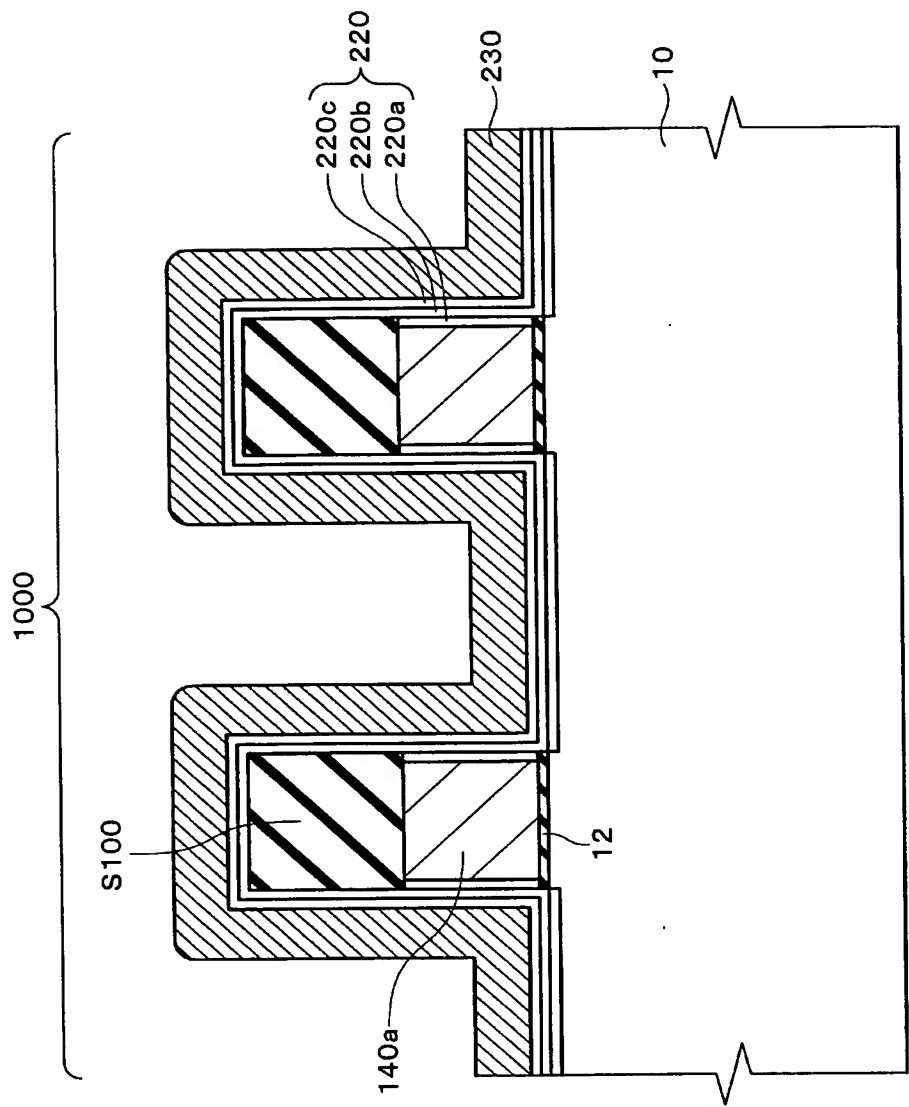
【図 6】



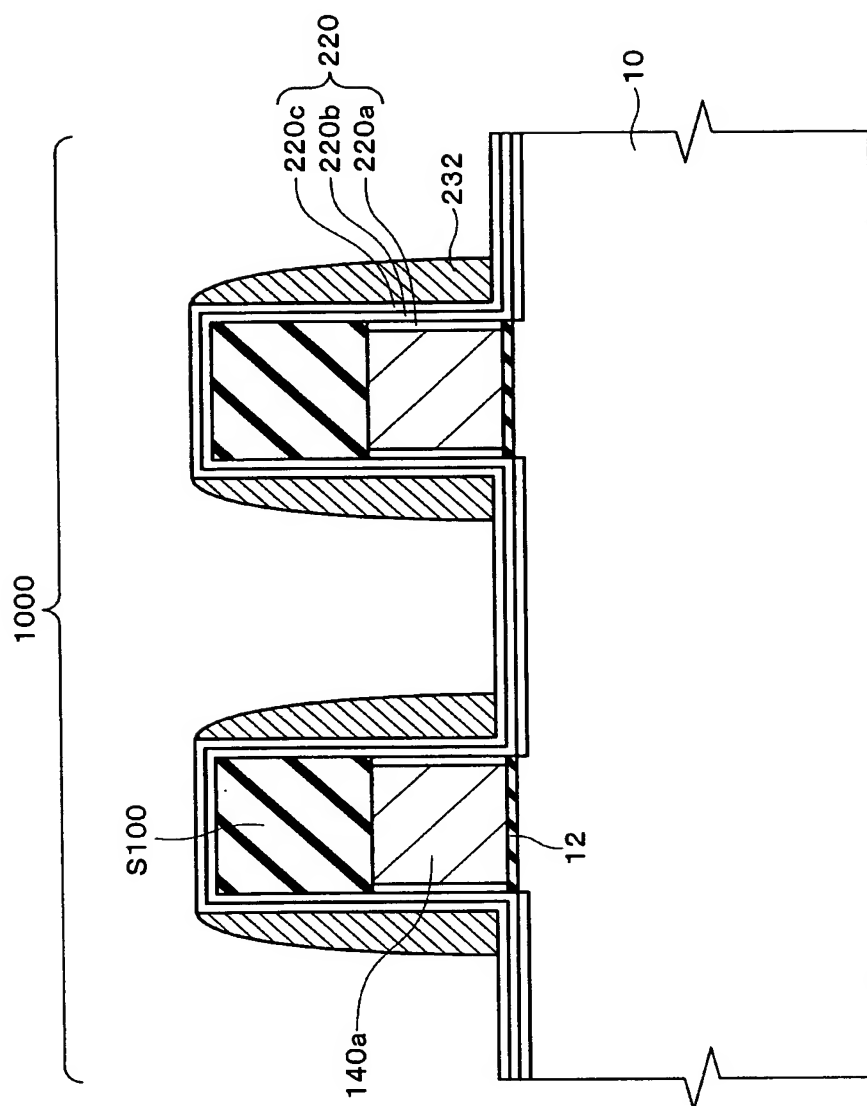
【図 7】



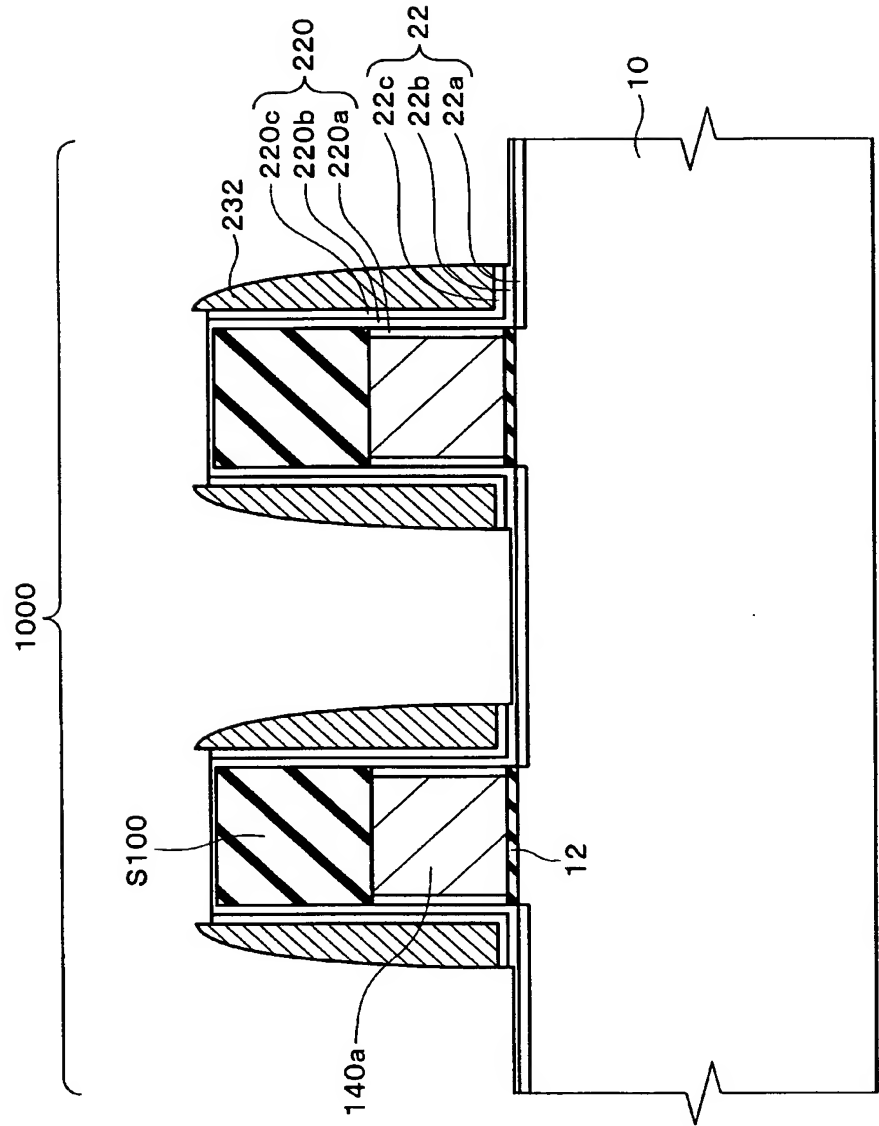
【図 8】



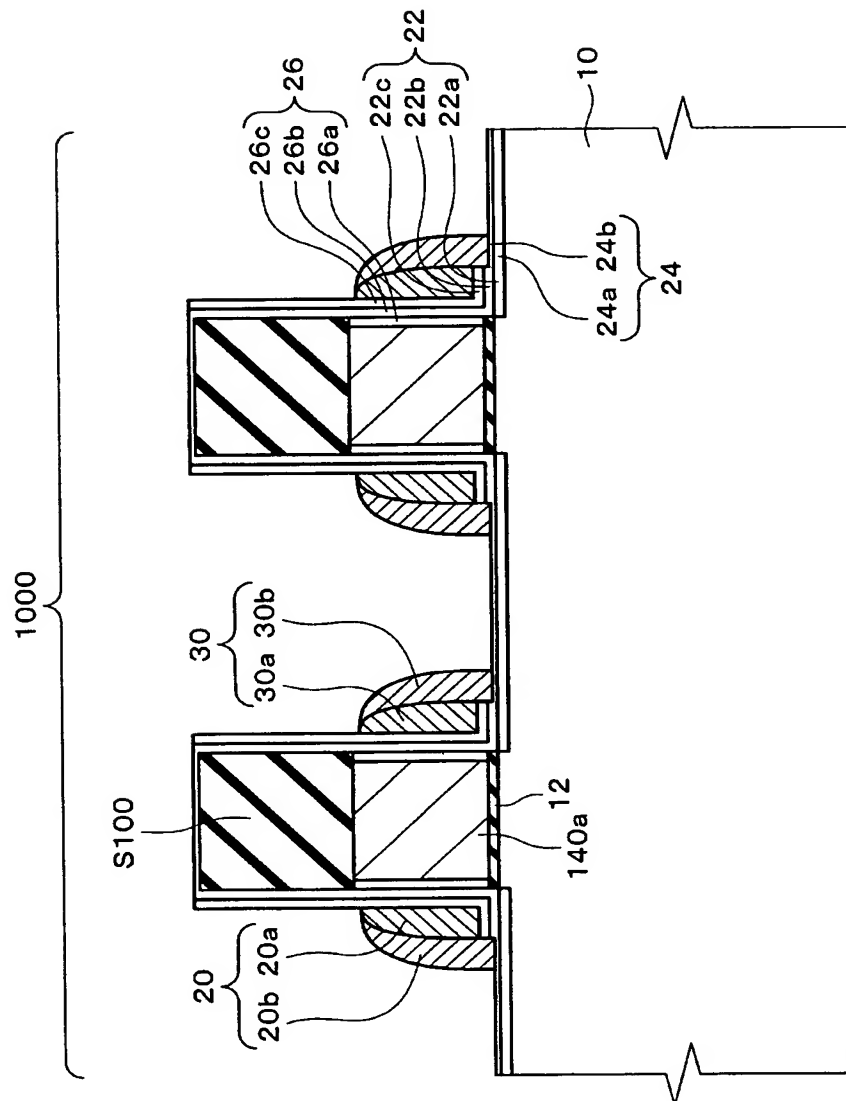
【図 9】



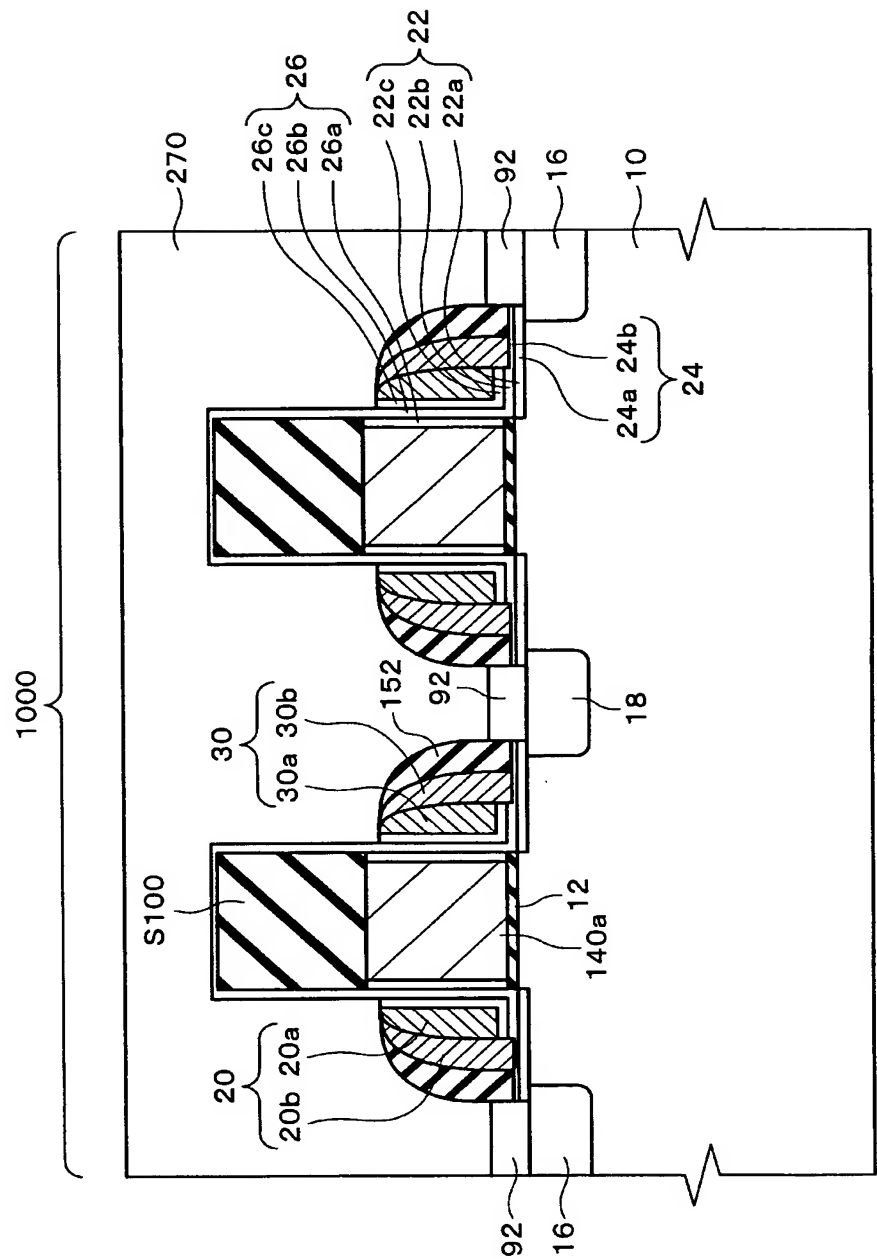
【図 1 0】



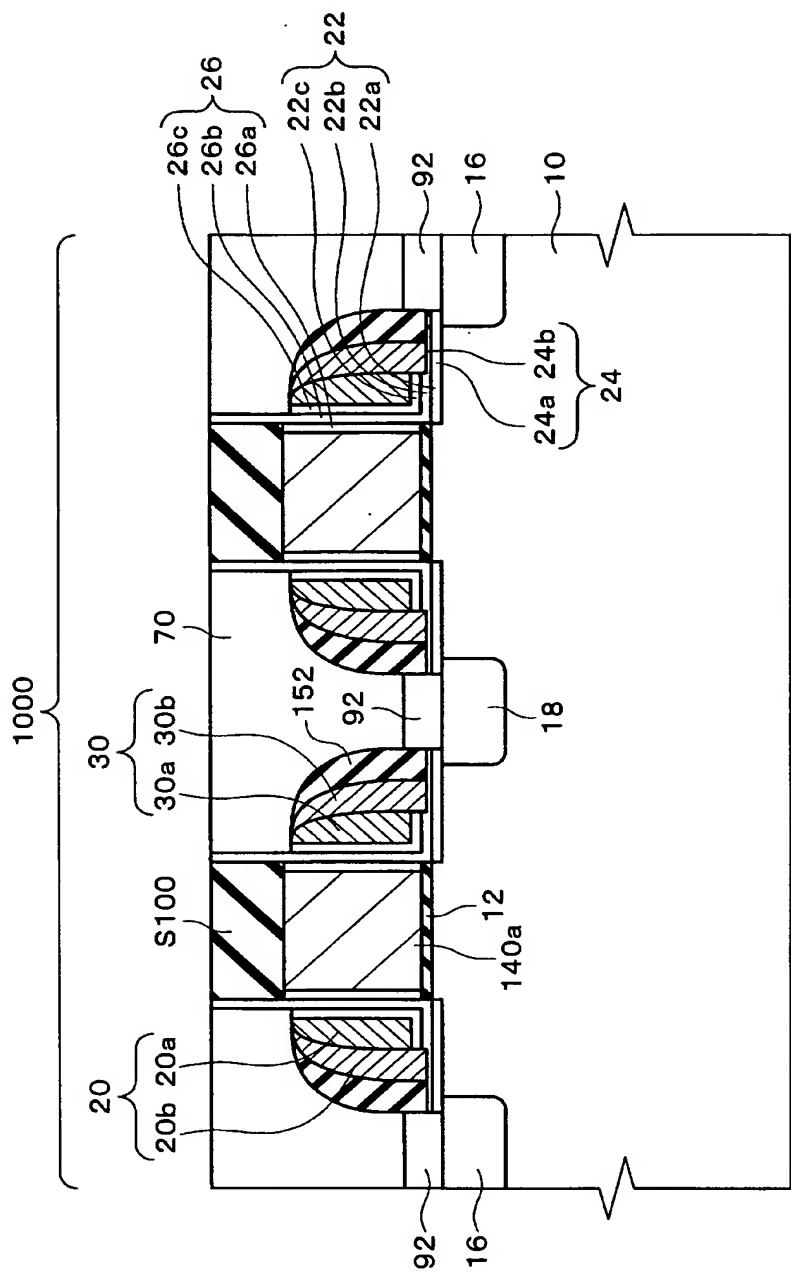
【図 11】



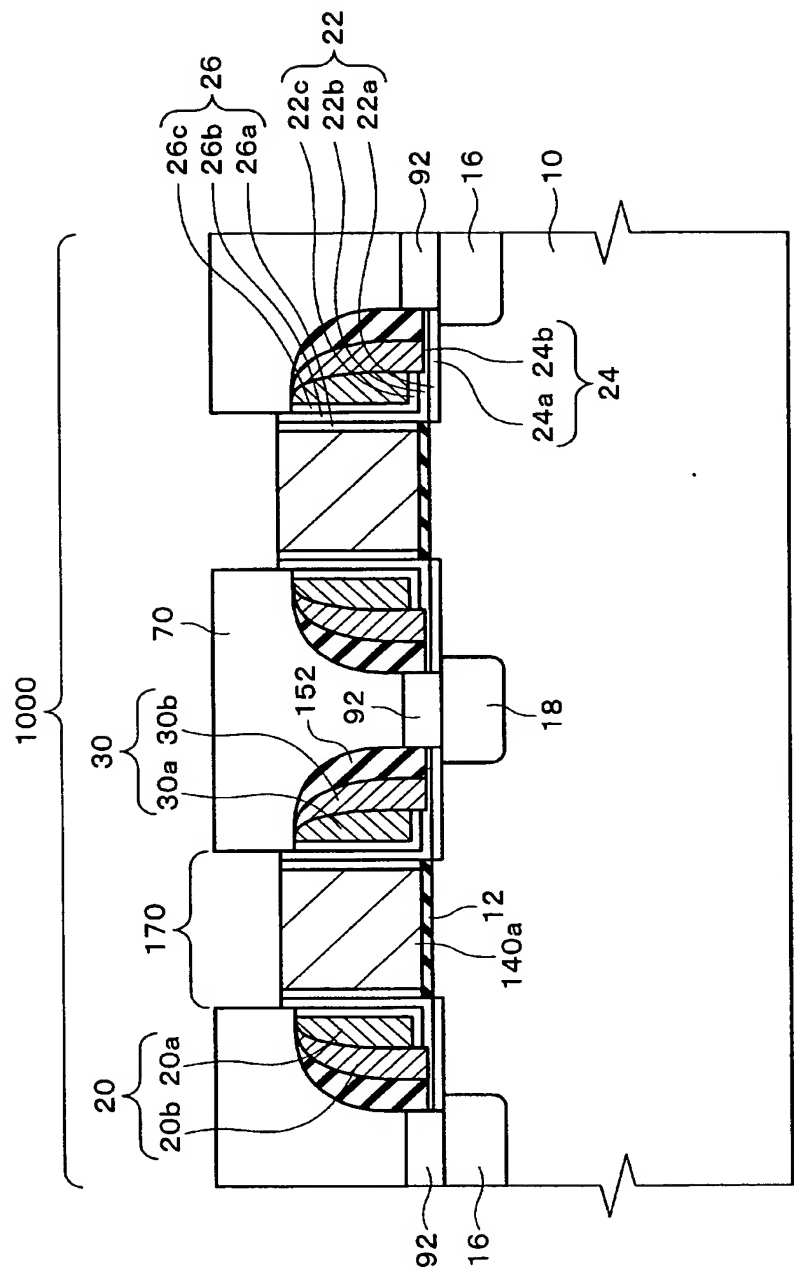
【図 1 2】



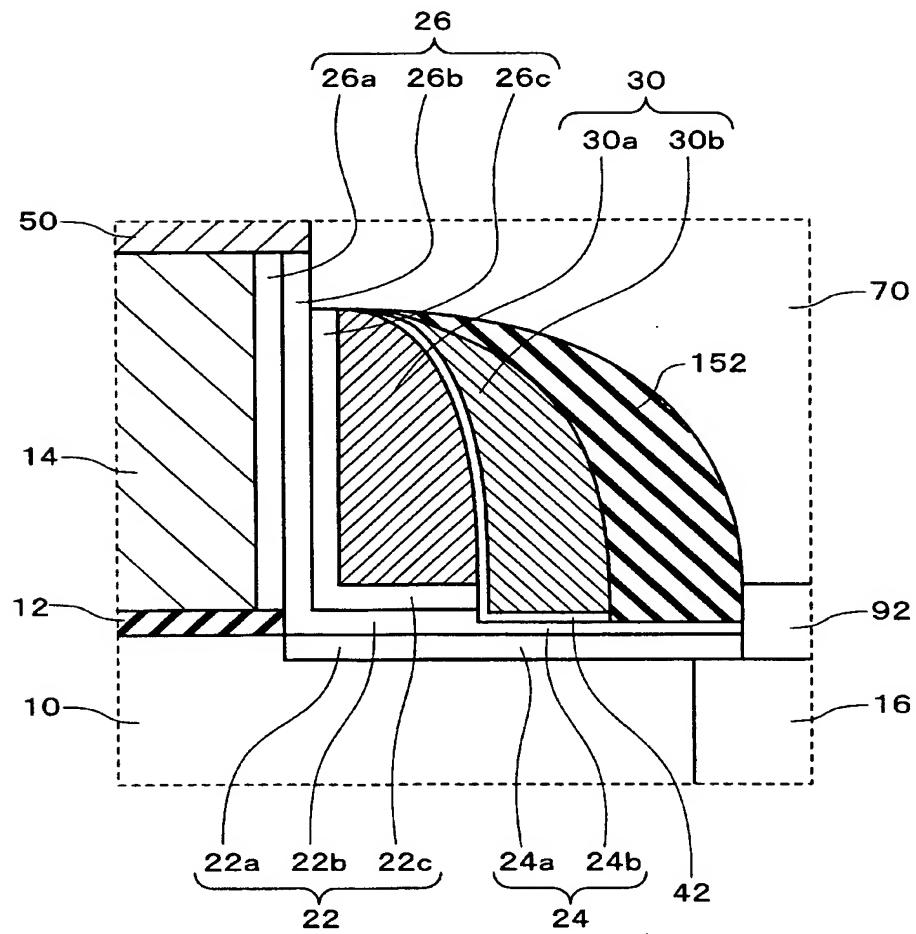
【図 13】



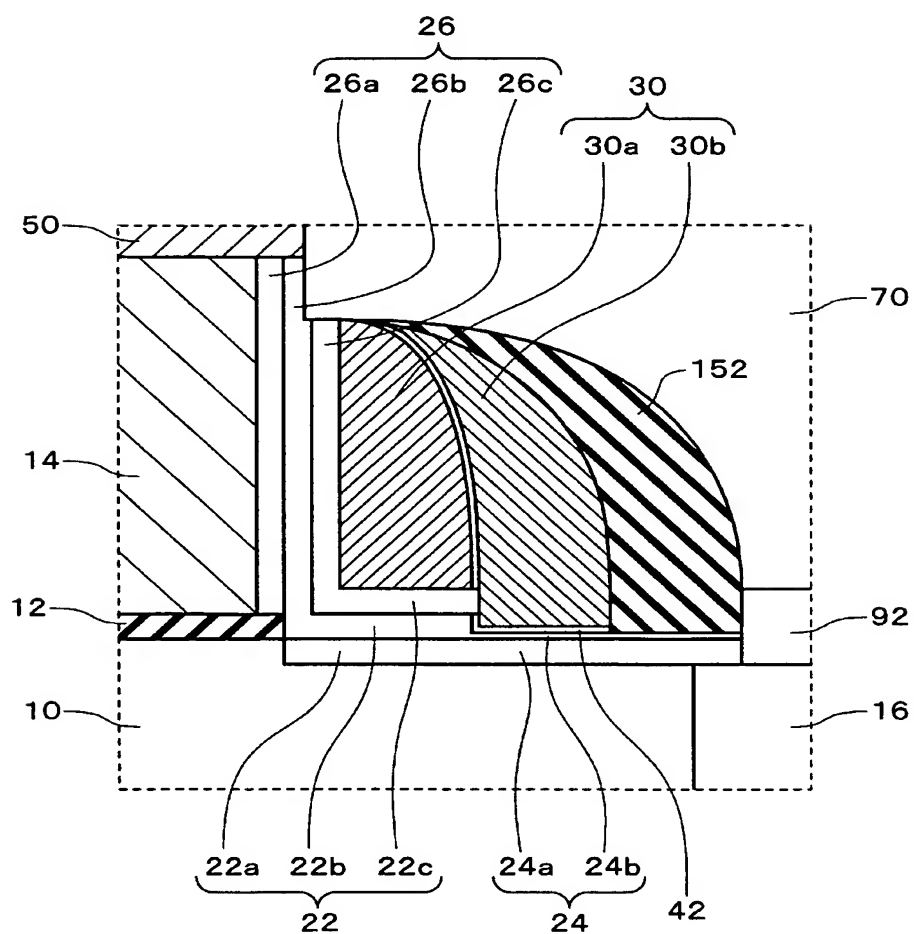
【図 14】



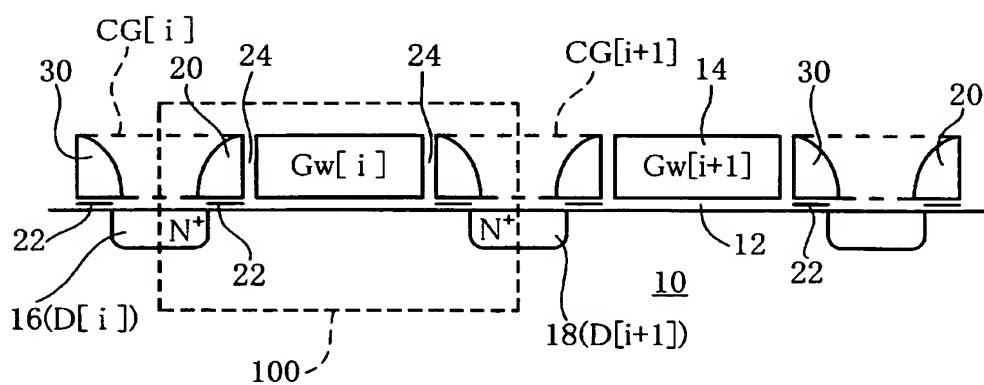
【図 15】



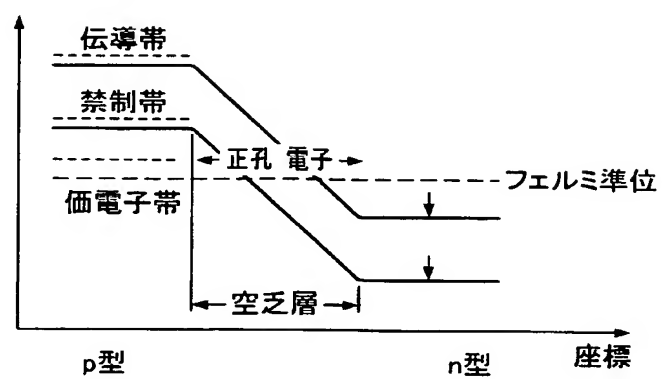
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 データの書き込み／消去の際の劣化に対する耐性を有する不揮発性記憶装置を含む半導体装置およびその製造方法を提供することにある。

【解決手段】 本発明の半導体装置は、不揮発性記憶装置が複数の行および列にマトリクス状に配列されたメモリセルアレイを構成するメモリ領域 1 0 0 0 を含み、前記不揮発性記憶装置は、半導体層 1 0 の上方に、ゲート絶縁層 1 2 を介して形成されたワードゲート 1 4 と、前記半導体層 1 0 に形成された、ソース領域またはドレイン領域を構成する不純物層 1 6, 1 8 と、前記ワードゲート 1 4 の一方の両側面に沿ってそれぞれ形成された、サイドウォール状のコントロールゲート 2 0、3 0 と、を含み、前記コントロールゲート 2 0、3 0 は、互いに接する第 1 コントロールゲート 2 0 a、3 0 a と、第 2 コントロールゲート 2 0 b、3 0 b とを有し、第 1 コントロールゲート 2 0 a、3 0 a と、第 2 コントロールゲート 2 0 b、3 0 b は、異なる膜厚の絶縁層の上に形成される。

【選択図】 図 2

特 願 2 0 0 2 - 3 1 4 7 1 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 0 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 新 宿 区 西 新 宿 2 丁 目 4 番 1 号

氏 名

セ イ コ ー エ プ ソ ン 株 式 会 社